

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030029203 A
 (43)Date of publication of application: 14.04.2003

(21)Application number: 1020010061370
 (22)Date of filing: 05.10.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
 (72)Inventor: KIM, U SIK
 LEE, JI HYE

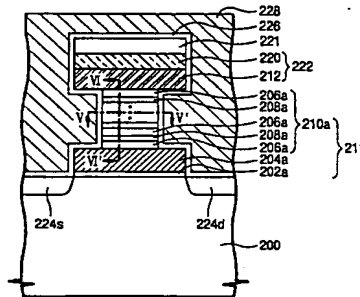
(51)Int. Cl. H01L 27/10

(54) SEMICONDUCTOR MEMORY DEVICE HAVING MULTIPLE TUNNEL JUNCTION LAYER AND METHOD OF FABRICATING THE SAME

(57) Abstract:

PURPOSE: A semiconductor memory device having a multiple tunnel junction layer and a method of fabricating the same are provided to prevent leakage of current through the multiple tunnel junction layer by reducing the width of the multiple tunnel junction layer.

CONSTITUTION: A semiconductor memory device includes the first and the second conductive regions(224d,224s) arranged at a semiconductor substrate(200) while proceeding parallel to each other. A storage node(204a) and a multiple tunnel junction layer pattern(210a) are sequentially deposited on the channel region between the first and the second conductive regions(224d,224s). A data line(222) is formed on the multiple tunnel junction layer pattern(211) while proceeding parallel to the first and the second conductive regions(224d,224s). A word line(228) crosses the data line(222) while covering both side walls of the multiple tunnel junction layer pattern and both side walls of the storage node(204a). When viewed from the cross section proceeding parallel to the word line(228), the width of the multiple tunnel junction layer pattern is established to be smaller than the width of the data line(222) and the width of the storage node(204a).



© KIPO 2003

Legal Status

Date of final disposal of an application (20030723)

Patent registration number (1004023900000)

Date of registration (20031007)

특 2003-0029203

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 27/10

(11) 공개번호 특2003-0029203
(43) 공개일자 2003년04월14일

(21) 출원번호	10-2001-0061370
(22) 출원일자	2001년10월05일
(71) 출원인	삼성전자주식회사
(72) 발명자	경기도 수원시 팔달구 매탄3동 416번지 김우식 경기도수원시팔달구영통동주공아파트133동406호 이지혜 경기도용인시기흥읍농서리 임창현
(74) 대리인	임창현

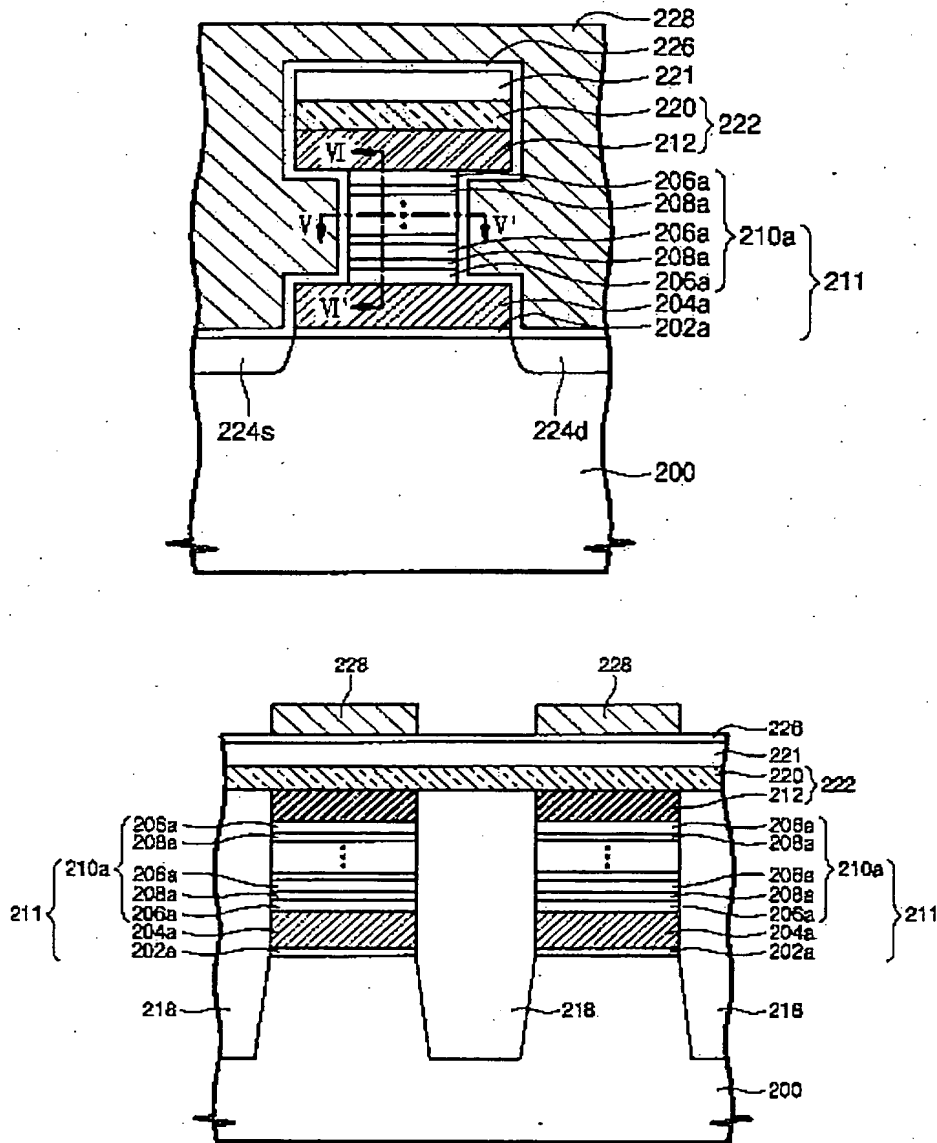
심사청구 : 있음

(54) 다층 터널접합층을 갖는 반도체 기억장치 및 그 제조방법

요약

다층 터널접합층 패턴을 갖는 반도체 기억소자 및 그 제조방법을 제공한다. 이 반도체 기억소자는 평판 트랜지스터 및 수직 트랜지스터로 구성된 단위 셀을 구비한다. 평판 트랜지스터는 반도체기판의 소정영역에 형성된 제1 및 제2 도전성 영역들 및 제1 및 제2 도전성 영역들 사이의 채널 영역 상에 적층된 스토리지 노드로 구성된다. 수직 트랜지스터는 스토리지 노드, 스토리지 노드 상에 적층된 다층 터널접합층 패턴, 다층 터널접합층 패턴 상에 적층된 데이터 라인, 및 스토리지 노드의 양 측벽들과 다층 터널접합층 패턴의 양 측벽들을 덮는 워드라인으로 구성된다. 다층 터널접합층 패턴의 폭은 스토리지 노드의 폭 및 데이터 라인의 폭보다 좁다. 폭이 좁은 다층 터널접합층 패턴은 실리콘보다 빠른 식각률 및 산화율을 갖는 반도체막 및 터널산화막을 번갈아가면서 반복적으로 형성하고 이방성 식각하여 데이터 라인 및 스토리지 노드를 형성함과 동시에 형성한다.

도 1



도 2a

도 2b

도 1은 종래의 반도체 기억장치를 나타낸 단면도이다.

도 2a는 도 1의 I-I'를 따라 취해진 종래의 반도체 기억장치의 에너지 밴드 다이어그램이다.

도 2b는 도 1의 II-II'를 따라 취해진 종래의 반도체 기억장치의 에너지 밴드 다이어그램이다.

도 3은 본 발명의 바람직한 실시예에 따른 반도체 기억장치를 나타낸 평면도이다.

도 4a는 도 3의 III-III'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치를 나타낸 단면도이다.

도 4b는 도 3의 IV-IV'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치를 나타낸 단면도이다.

도 5a는 도 4a의 V-V'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치의 에너지 밴드 다이어그램이다.

도 5b는 도 4a의 VI-VI'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치의 에너지 밴드 다이어그램이다.

도 6a 내지 도 10a는 도 3의 III-III'를 따라 취해진 본 발명의 제1 실시예에 따른 반도체 기억장치의 제조 방법을 설명하기 위한 공정단면도들이다.

도 6b 내지 도 10b는 도 3의 IV-IV'를 따라 취해진 본 발명의 제1 실시예에 따른 반도체 기억장치의 제조 방법을 설명하기 위한 공정단면도들이다.

도 11a는 도 3의 III-III'를 따라 취해진 본 발명의 제2 실시예에 따른 반도체 기억장치의 제조방법을 설명하기 위한 공정단면도들이다.

도 11b는 도 3의 IV-IV'를 따라 취해진 본 발명의 제2 실시예에 따른 반도체 기억장치의 제조방법을 설명하기 위한 공정단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기억장치 및 그 제조방법에 관한 것으로서, 더 구체적으로 다층 터널접합층 패턴을 갖는 반도체 기억장치 및 그 제조방법에 관한 것이다.

디램(DRAM)은 에스램(SRAM)과 같은 기억장치에 비하여, 제한된 영역에서 높은 집적도를 얻을 수 있다. 또한, 플래시 메모리와 같은 기억장치에 비하여 빠른 동작속도를 갖는 장점을 갖는다. 그러나, 저장된 데이터를 유지하기 위하여 주기적으로 리프레쉬(refresh)해주어야 하는 단점을 갖고있다. 따라서, 대기 모드(stand-by mode)에서도 전력을 소모한다. 이에 비하여, 플래시 메모리(flash memory)와 같은 비휘발성 메모리 장치는 메모리 셀들을 리플래쉬시켜 줄 필요가 없는 장점을 갖는다. 그러나, 메모리 셀들을 프로그램시키거나 소거시키기 위하여 높은 전압이 필요하고, 디램이나 에스램에 비하여 동작속도가 느린 단점을 가지고 있다. 이에 따라, 디램과 플래시 메모리를 결합시킨 새로운 기억장치가 미국특허 제5,952,692호에 '개선된 전하저장 배리어 구조체'를 갖는 기억소자'라는 제목으로 나가자토(Nakazato) 등에 의해 개시된 바 있다.

도 1은 종래의 다층 터널접합층 패턴을 갖는 반도체 기억장치의 단위 셀을 나타낸 도면이다.

도 1을 참조하면, 반도체 기억장치의 단위 셀은 평판 트랜지스터(planar transistor) 및 수직 트랜지스터(vertical transistor)를 포함한다. 상기 평판 트랜지스터는 반도체 기판(100)의 소정영역에 형성되고 서로 미격된 드레인 영역(124d) 및 소오스 영역(124s)과, 상기 드레인 영역(124d) 및 소오스 영역(124s) 사이의 채널 영역 상에 배치된 부유게이트(104)를 포함한다. 여기서, 상기 드레인 영역(124d)은 비트라인에 해당하고, 상기 부유게이트(104)는 스토리지 노드에 해당한다. 상기 스토리지 노드(104) 및 상기 채널 영역 사이에는 게이트 절연막(102)이 개재된다.

상기 스토리지 노드(104) 상에 다층 터널접합층 패턴(multiple tunnel junction layer pattern; 110) 및 데이터 라인(122)이 차례로 적층된다. 상기 다층 터널접합층 패턴(110)은 서로 번갈아가면서 반복적으로 적층된 반도체막(106) 및 터널 절연막(108)을 포함한다. 상기 다층 터널접합층 패턴(110)의 최상부층(utmost top layer)은 상기 반도체막(106) 또는 상기 터널 절연막(108)일 수 있다. 상기 데이터 라인(122)은 연장되어 서로 이웃한 복수개의 기억 셀들과 전기적으로 접속된다. 상기 스토리지 노드(104), 상기 다층 터널접합층 패턴(110) 및 상기 데이터 라인(122)의 측면을 게이트 층간절연막(126)이 덮는다. 상기 게이트 층간절연막(126)은 상기 데이터 라인(122)의 상부 또한 덮는다.

상기 게이트 층간절연막(126) 상에 상기 데이터 라인(122)을 가로지르는 워드라인(128)이 배치된다. 상기 워드라인(128)은 상기 스토리지 노드(104) 및 상기 다층 터널접합층 패턴(110)과 중첩되도록 배치된다. 상기 데이터 라인(122), 상기 다층 터널접합층 패턴(110), 상기 스토리지 노드(104) 및 상기 워드라인(128)은 상기 수직 트랜지스터를 구성한다. 여기서, 상기 데이터 라인(122)은 수직 트랜지스터의 드레인에 해당하고 상기 스토리지 노드(104)는 소오스에 해당한다.

도 2a는 도 1의 I-I'를 따라 취해진 종래의 반도체 기억 장치의 에너지 밴드 다이어그램이다.

도 2b는 도 1의 II-II'를 따라 취해진 종래의 반도체 기억 장치의 에너지 밴드 다이어그램이다.

도 2a 및 도 2b를 참조하면, 상기 수직 트랜지스터의 소오스(122) 및 드레인(104) 사이에서 상기 다층 터널접합층 패턴(110)은 상기 터널절연막 패턴(108)이 제공하는 복수개의 높은 전위장벽들을 갖는다. 일반적으로 상기 반도체막(106)은 도핑되지 않은 실리콘막으로 형성되고, 상기 워드라인(128) 및 상기 스토리지 노드(104)는 각각 P형 실리콘막 및 N형 실리콘막으로 형성된다. 도시된 것과 같이, 상기 P형 도전형을 갖는 워드라인(128)의 영향으로 상기 반도체막(106)의 측면에 축적층(accumulation layer)이 형성된다. 이에 의하여, 상기 게이트 층간절연막(126)으로부터 소정거리까지의 상기 터널절연막 패턴(108)은 상대적으로 높은 전위장벽을 형성한다. 그 결과, 대기모드(stand-by mode)에서 상대적으로 낮은 전위장벽을 갖는 상기 터널절연막 패턴(108)의 벌크를 통하여 전하의 누설이 발생할 확률이 높아진다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 다층 터널접합층 패턴을 통한 전하의 누설을 현저히 감소시킬 수

있는 구조를 갖는 반도체 기억장치 및 그 제조방법을 제공하는데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 전하의 누설을 감소시킴과 아울러 높은 커플링 비율을 갖는 반도체 기억장치 및 그 제조방법을 제공하는데 있다.

본 발명의 또다른 기술적 과제는 낮은 읽기전압에서 우수한 읽기 동작을 보여주는 반도체 기억장치 및 그 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제들은 다층 터널접합층 패턴을 갖는 반도체 기억장치에 의해 달성되며 질 수 있다. 이 반도체 기억장치의 셀은 평판 트랜지스터 및 수직 트랜지스터를 포함한다. 상기 평판 트랜지스터는 반도체 기판의 소정영역에 배치되고 서로 이격된 제1 및 제2 도전성 영역들과, 상기 제1 및 제2 도전성 영역을 사이의 채널영역 상에 배치된 스토리지 노드를 포함한다. 상기 스토리지 노드와 상기 채널영역 사이에 게이트 절연막 패턴이 개재된다. 또한, 상기 수직 트랜지스터는 상기 스토리지 노드와, 상기 스토리지 노드 상에 배치된 다층 터널접합층 패턴과, 상기 다층 터널접합층 패턴의 상부를 가로지르는 데이터 라인과, 상기 다층 터널접합층 패턴 및 상기 스토리지 노드를 덮으며 상기 데이터 라인 상부를 가로지르는 워드라인을 포함한다. 상기 워드라인 및 상기 다층 터널접합층 패턴 사이와, 상기 워드라인 및 상기 스토리지 노드 사이에 게이트 층간절연막이 개재된다. 상기 워드라인과 평행한 절단면으로 보여질 때, 상기 다층 터널접합층 패턴의 폭은 상기 스토리지 노드 및 상기 데이터 라인의 폭보다 좁다. 즉, 상기 다층 터널접합층 패턴은 제한된 영역에서 좁은 폭을 갖는다. 따라서, 상기 다층 터널접합층 패턴의 벌크지역을 통하여 흐르는 누설전류를 감소시킬 수 있다. 상기 스토리지 노드는 상기 평판 트랜지스터의 게이트 전극에 해당함과 동시에 상기 수직 트랜지스터의 소오스에 해당한다. 따라서, 상기 다층 터널접합층 패턴 양측면으로 부터 상기 상기 스토리지 노드가 돌출되기 때문에 상기 워드라인과 상기 스토리지 노드 사이의 커패시턴스를 극대화할 수 있다.

이 반도체 기억장치를 제조하는 방법은, 반도체기판의 소정영역들에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 트랜치 영역들을 형성하여 메쉬 형태의 활성영역을 한정함과 동시에 상기 메쉬 형태의 활성영역 상에 차례로 적층된 게이트 절연막, 스토리지 노드막 및 다층 터널접합층을 형성한다. 상기 다층 터널접합층은 반도체막 및 터널절연막을 번갈아가며 반복적으로 적층하여 형성한다. 상기 반도체막은 상기 스토리지 노드막보다 빠른 식각율을 갖는 물질로 형성하는 것이 바람직하다. 상기 트랜치 영역들을 채우는 복수개의 섬 형태의(island-shaped) 소자분리막 패턴들을 형성하고, 상기 소자분리막 패턴들이 형성된 결과를 전면 상에 배선막을 형성한다. 상기 배선막, 상기 다층 터널접합층, 상기 스토리지 노드막 및 상기 게이트 절연막을 연속적으로 패터닝하여 상기 열 방향과 평행한 복수개의 데이터 라인들을 형성함과 동시에 상기 각 데이터 라인을 하부에 위치한 상기 소자분리막 사이의 영역을 내에 차례로 적층된 게이트 절연막 패턴, 스토리지 노드 패턴 및 다층 터널접합층 패턴을 형성한다. 상기 다층 터널접합층은 상기 스토리지 노드막 및 상기 배선막보다 빠른 식각율을 가지므로 상기 데이터 라인을 가로지르는 방향과 평행한 단면으로 보여질 때, 상기 다층 터널접합층 패턴의 폭은 상기 스토리지 노드의 폭 및 상기 데이터 라인의 폭보다 좁다. 이어서, 상기 스토리지 노드들을 갖는 결과물의 전면 상에 콘포말한 게이트 층간절연막을 형성한다. 상기 게이트 층간절연막 상에 상기 다층 터널접합층의 측벽 및 상기 스토리지 노드의 측벽을 덮고 상기 데이터 라인의 상부를 가로지르는 워드라인을 형성한다.

상기 스토리지 노드를 형성한 후에, 상기 스토리지 노드의 양 옆에 위치한 상기 반도체기판에 불순물 영역을 형성할 수 있다.

이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

도 3은 본 발명의 바람직한 실시예에 따른 반도체 기억장치를 나타낸 평면도이고, 도 4a는 도 3의 III-III'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치를 나타낸 단면도이고, 도 4b는 도 3의 IV-IV'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치를 나타낸 단면도이다.

도 3, 도 4a 및 도 4b를 참조하면, 반도체 기판(200)의 소정영역에 서로 평행한 제1 도전성 영역(224d) 및 제2 도전성 영역(224s)이 배치된다. 상기 제1 및 제2 도전성 영역들(224d, 224s)은 열 방향, 즉 열 방향과 평행하게 배치된다. 상기 제1 도전성 영역(224d)은 비드라인의 역할을 하며, 감지증폭기(sense amplifier; 도시하지 않음)와 접속된다. 상기 제1 및 제2 도전성 영역들(224d, 224s) 사이의 상기 반도체 기판(200) 상에 상기 열 방향을 따라 복수개의 다층 패턴들(multiple layered patterns; 211)이 배치된다. 상기 다층 패턴들(211) 사이의 영역들은 소자분리막 패턴(218)에 의해 채워진다. 상기 소자분리막 패턴(218)은 상기 반도체 기판(200)의 내부로 연장되어 서로 이웃하는 상기 다층 패턴들(211)을 완전히 격리시킨다. 상기 다층 패턴들(211)의 각각은 차례로 적층된 스토리지 노드(204a) 및 다층 터널접합층 패턴(210a)을 포함한다.

상기 다층 터널접합층 패턴(210a)은 번갈아가면서 반복적으로 적층된 반도체막 패턴(206a) 및 터널 절연막 패턴(tunnel insulating layer; 208a)을 포함한다. 상기 다층 터널접합층 패턴(210a)의 최상부막(utmost top layer)은 상기 터널 절연막 패턴(208a) 또는 상기 반도체막 패턴(206a)일 수 있다.

상기 다층 터널접합층 패턴들(210a) 및 이들 사이의 상기 소자분리막 패턴(218) 상에 데이터 라인(222)이 배치된다. 따라서, 상기 데이터 라인(222)은 상기 제1 및 제2 도전성 영역들(224d, 224s) 사이에 배치된다. 상기 데이터 라인(222) 상에 캐핑절연막 패턴(221)이 배치될 수도 있다. 상기 데이터 라인(222)의 상부를 가로질러 복수개의 평행한 워드라인들(228)이 배치된다. 상기 워드라인(228)들의 각각은 상기 스토

리지 노드(204a)의 양 측벽을 및 상기 다층 터널접합층 패턴(210a)의 양 측벽들을 덮는다. 상기 워드라인들(228) 및 상기 스토리지 노드들(204a)의 측벽들 사이와 상기 워드라인들(228) 및 상기 다층 터널접합층 패턴들(210a)의 측벽들 사이에 콘포말한 게이트 중간절연막(226)이 개재된다.

상기 워드라인들(228)은 P형 실리콘막이고, 상기 스토리지 노드(204a)는 N형 실리콘막인 것이 바람직하다. 또한, 상기 반도체막 패턴(206a)은 전성반도체막인 것이 바람직하다.

상기 워드라인들(228)과 평행한 단면으로 보여질 때, 상기 다층 터널접합층 패턴(210a)의 폭은 상기 스토리지 노드(204a)의 폭 및 상기 데이터 라인(222)의 폭보다 좁다. 따라서, 상기 다층 터널접합층 패턴(210a)의 양측으로 상기 스토리지 노드(204a)의 양 가장자리의 상부면은 상기 워드라인(208)과 중첩되어 상기 스토리지 노드(204a) 및 상기 워드라인(228) 사이에 높은 캐패시턴스를 제공한다.

상술한 반도체 기억소자의 셀을 구동시키는 방법을 간단히 설명하기로 한다.

먼저, 쓰기 모드(write mode)에서, 상기 데이터 라인(222)에 데이터 전압을 인가하고 상기 워드라인(228)에 쓰기 전압(write voltage)을 인가한다. 이에 따라, 상기 반도체막 패턴들(206a)들의 측벽들에 반전된 채널(inversion channel)이 형성되고 상기 터널 절연막 패턴들(208a)을 통하여 터널링 전류가 흐른다. 그 결과, 상기 데이터 라인(222)에 인가된 전압에 따라 상기 스토리지 노드(204a) 내에 전하를 또는 정공들이 저장된다. 이들 저장된 전하들은 상기 평판 트랜지스터의 문턱전압을 변화시킨다.

다음에, 상기 스토리지 노드에 저장된 정보를 읽어내기 위하여, 상기 워드라인에 읽기 전압(read voltage)을 인가하고 상기 제2 도전성 영역(224a)에 적절한 전압, 예컨대 접지 전압을 인가한다. 이에 따라, 상기 평판 트랜지스터의 문턱전압이 상기 읽기전압보다 높은 경우에는 상기 평판 트랜지스터가 턴오프되어 상기 제1 도전성 영역(224d)을 통하여 전류가 흐르지 않는다. 이와 반대로, 상기 평판 트랜지스터의 문턱전압이 상기 읽기 전압보다 낮은 경우에는 상기 평판 트랜지스터가 턴온되어 상기 제1 도전성 영역(224d)을 통하여 전류가 흐른다. 이때, 상기 스토리지 노드(204a) 및 상기 워드라인(228) 사이의 중첩면적이 증가되면 상기 스토리지 노드(204a)에 유기되는 전압은 상기 워드라인(228)에 인가되는 읽기전압에 가까워진다. 그 결과, 상기 읽기전압을 감소시킬 수 있다.

도 5a는 도 4a의 V-V'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치의 에너지 밴드 다이어그램이고, 도 5b는 도 4a의 VI-VI'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치의 에너지 밴드 다이어그램이다.

도면에 있어서, 점선으로 표시된 부분은 다층 터널접합층의 폭이 넓은 경우를 나타내고, 실선으로 표시된 부분은 다층 터널접합층의 폭이 좁은 경우를 나타낸다.

도 5a 및 도 5b를 참조하면, P형 실리콘막인 상기 워드라인(228)의 영향으로 전성반도체막인 상기 반도체막 패턴(206a)의 양 측벽에 축적층들(accumulation layers)이 형성된다. 상기 반도체막 패턴(206a)의 폭이 상기 축적층들의 폭들의 합보다 좁을 경우, 상기 반도체막 패턴(206a)의 에너지 밴드는 전반적으로 높은 전위를 갖는다. 상기 터널 절연막 패턴(208a)의 에너지 준위 또한 상기 반도체막 패턴(206a)의 에너지 준위를 따라 높아진다. 따라서, 상기 터널 절연막 패턴(208a)을 터널링하는 전하의 누설이 현저히 줄어든다. 전위장벽을 충분히 높여주기 위해서 상기 반도체막 패턴(210a)의 폭은 0.1 μ m이하인 것이 바람직하다.

결과적으로, 본 발명에 따르면 수직 트랜지스터의 소오스 및 드레인 사이의 누설전류를 막을 수 있고, 제한된 영역에서 스토리지 노드 및 워드라인 사이의 캐패시턴스를 극대화시킬 수 있다.

도 6a 내지 도 10a는 도 3의 III-III'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치의 제조방법을 설명하기 위한 공정단면도들이다.

도 6b 내지 도 10b는 도 3의 IV-IV'를 따라 취해진 본 발명의 바람직한 실시예에 따른 반도체 기억장치의 제조방법을 설명하기 위한 공정단면도들이다.

도 6a 및 도 6b를 참조하면, 반도체 기판(200) 상에 게이트 절연막(202), 스토리지 노드막(204), 다층 터널접합층(210) 및 화학기계적 연마저지막(214)을 형성한다. 상기 다층 터널접합층(210)은 반도체막(206) 및 터널절연막(208)을 번갈아가면서 반복적으로 적층하여 형성한다. 상기 반도체막(206)은 상기 스토리지 노드막(204)보다 빠른 식각률을 갖고 높은 열안화성을 갖는 물질로써, 예컨대 실리콘게르마늄막으로 형성하는 것이 바람직하다. 또한, 상기 터널절연막(208)은 실리콘질화막으로 형성하는 것이 바람직하다. 상기 화학기계적 연마저지막(214)을 형성하기 전에 상기 다층 터널접합층(210) 상의 전면에 상부도전막(212)을 더 형성할 수도 있다. 상기 상부도전막(212) 및 상기 스토리지 노드막(204)은 P형 도우핑된 실리콘막으로 형성하는 것이 바람직하다. 상기 다층 터널접합층(210)의 최하층 및 최상층은 각각 반도체막 또는 터널절연막으로 형성할 수 있다.

도 7a 및 도 7b를 참조하면, 상기 화학기계적 연마저지막(214), 상기 상부도전막(212), 상기 다층 터널접합층(210), 상기 스토리지 노드막(204), 상기 게이트 절연막(202) 및 상기 반도체 기판(200)을 차례로 패터닝하여 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 트랜치 영역들(216)을 형성한다. 상기 트랜치 영역들(216)은 상기 반도체 기판(200)에 메쉬 형태(mesh-shaped)의 활성영역을 한정한다.

도 8a 및 도 8b를 참조하면, 상기 트랜치 영역들(216)을 갖는 반도체 기판(200)의 전면에 상기 트랜치 영역들(216)을 채우는 소자분리막을 형성한다. 상기 화학기계적 연마저지막(214)이 노출되도록 상기 소자분리막을 전면식각하여 상기 트랜치 영역들(216)을 채우는 복수개의 섬 형태의(island-shaped) 소자분리막 패턴들(218)을 형성한다. 결과적으로, 상기 소자분리막 패턴들(218)은 행 방향 및 열 방향을 따라 2차원적으로 배열된다. 상기 소자분리막을 전면식각하는 공정은 화학기계적 연마 공정을 사용하여 실시하는 것이 바람직하다. 이어서, 상기 노출된 화학기계적 연마저지막(214)을 제거하여 상기 상부도전막(212)을 노출시킨다.

도 9a 내지 도 9b를 참조하면, 상기 상부 도전막(212)이 노출된 결과물의 전면 상에 배선막 및 캐핑절연막을 차례로 형성한다. 상기 배선막은 금속막, 폴리사이드막 또는 도우핑된 실리콘막으로 형성하는 것이 바람직하고, 상기 캐핑절연막은 실리콘 산화막 또는 실리콘 질화막으로 형성하는 것이 바람직하다. 상기 캐

핑절연막, 상기 배선막 및 상기 상부도전막(212)을 연속적으로 패터닝하여 상기 열 방향과 평행한 복수개의 캐핑절연막 패턴들(221) 및 그들 아래에 위치하는 복수개의 데이터 라인들(222)을 형성한다.

상기 데이터 라인들(222)의 각각은 상기 열 방향과 평행한 직선 상에 위치하는 상기 소자분리막 패턴들(218)을 덮는다. 또한, 상기 데이터 라인들(222)의 각각은 상기 캐핑절연막 패턴(221)의 하부에 위치하는 배선(220) 및 상기 배선(220)과 상기 다층 터널접합층(210) 사이에 개재된 상부도전막 패턴(212)으로 구성된다. 상기 배선막을 도우핑된 실리콘막 또는 폴리사이드막으로 형성하는 경우에는 상기 상부도전막(212)을 형성하는 공정을 생략할 수도 있다. 계속해서, 상기 데이터 라인들(222) 사이에 노출된 상기 다층 터널접합층(210), 상기 스토리지 노드막(204) 및 상기 게이트 절연막(202)을 연속적으로 식각하여 상기 데이터 라인들(222) 하부의 상기 소자분리막 패턴들(218) 사이의 영역에 게이트 절연막 패턴(202a), 스토리지 노드(204a) 및 다층 터널접합층 패턴(210a)이 차례로 적층된 복수개의 적층 패턴들(211)을 형성한다. 이 과정에서, 상기 다층 터널접합층(210)은 상기 배선막, 상기 상부도전막(212) 및 상기 스토리지 노드막(204)보다 빠른 식각률을 갖기 때문에, 상기 데이터 라인들(222)을 가로지르는 방향의 단면을 보았을 때, 상기 다층 터널접합층 패턴들(210a)은 상기 데이터 라인들(222)의 폭 및 상기 스토리지 노드들(204a)의 폭보다 좁은 폭을 갖는다. 상기 다층 터널접합층 패턴들(210a)의 각각은 변갈아가면서 반복적으로 적층된 반도체막 패턴(206a) 및 터널절연막 패턴(208a)으로 구성된다. 계속해서, 상기 데이터 라인들(222) 사이의 상기 반도체 기판(200)에 불순물들을 주입하여 복수개의 평행한 도전성 영역들, 즉 제1 및 제2 도전성 영역들(224d, 224s)을 형성한다.

도 10a 및 도 10b를 참조하면, 상기 제1 및 제2 도전성 영역들(224d, 224s)이 형성된 결과물의 전면 상에 게이트 층간절연막(226)을 콘포멀하게 형성한다. 상기 적층패턴들(211) 양측벽에 상기 게이트 층간절연막(226)은 수직 트랜지스터의 게이트 절연막에 해당한다. 상기 게이트 층간절연막(226)은 실리콘 산화막, 실리콘질화막 또는 이들의 조합막으로 형성할 수 있다. 상기 게이트 층간절연막(226) 상에 식각저지막(도시하지 않음)을 추가로 형성할 수도 있다. 예컨대, 상기 게이트 층간절연막(226)을 실리콘 산화막으로 형성하였을 경우, 실리콘 질화막을 추가로 형성할 수도 있다. 상기 게이트 층간절연막(226) 및 식각저지막을 갖는 반도체기판의 전면 상에 층간절연막(227)을 형성한다.

이어서 도시하지는 않았지만, 상기 식각저지막이 노출될 때까지 상기 층간절연막(227)을 패터닝하여 상기 소자분리막 패턴들(218) 사이의 활성영역 상부에 상기 데이터 라인들(222)의 상부를 가로지르는 복수개의 그루브들을 형성한다. 다음에, 상기 노출된 식각저지막을 식각하여 상기 게이트 층간절연막(226)을 노출시킨다. 만약, 상기 게이트 층간절연막(226)을 형성하지 않을 경우, 그루브를 형성한 후 게이트 층간절연막을 형성할 수도 있다. 상기 복수개의 그루브들 내에 통상의 다마신 공정을 사용하여 복수개의 워드라인들(228)을 형성한다. 상기 워드라인들(228)의 각각은 상기 스토리지 노드들(204a)의 양 측벽 및 상기 다층 터널접합층 패턴들(210a)의 양 측벽들을 덮는다.

도 11a는 도 3의 III-III'를 따라 취해진 본 발명의 제2 실시예에 따른 반도체 기억장치의 제조방법을 설명하기 위한 공정단면도들이다.

도 11b는 도 3의 IV-IV'를 따라 취해진 본 발명의 제2 실시예에 따른 반도체 기억장치의 제조방법을 설명하기 위한 공정단면도들이다.

도 11a 및 도 11b를 참조하면, 소자분리막 패턴의 상부를 지나는 데이터 라인들(222) 및 상기 데이터 라인들(222) 하부의 상기 소자분리막 패턴들(218) 사이의 영역에 게이트 절연막 패턴(202a), 스토리지 노드(204a) 및 다층 터널접합층 패턴(210a)이 차례로 적층된 복수개의 적층 패턴들(211)을 형성하는 단계까지는 상술한 제1 실시예와 동일하다.

계속해서, 상기 적층패턴들(211)이 형성된 결과물에 열산화공정을 실시하여 상기 데이터 라인들(222), 상기 다층 터널접합층(210b) 및 상기 스토리지 노드(204a)의 측벽에 열산화막(230)을 형성한다. 이과정에서, 상대적으로 산화율이 높은 상기 다층 터널접합층(210)이 더욱 빨리 산화되어 상기 데이터 라인들(222)을 가로지르는 방향의 단면으로 보여지는 상기 다층 터널접합층 패턴(210a)의 폭을 더욱 더 줄일 수 있다. 이어서, 상기 열산화막(230)을 제거하고 이후공정은 상술한 제1 실시예와 동일하게 실시한다.

결과적으로, 상기 스토리지 노드(204a) 및 상기 데이터 라인(222)의 폭을 줄이지 않고 상기 다층 터널접합층 패턴(210a)의 폭을 줄여줌으로써 상기 다층 터널접합층 패턴(210a)을 통한 누설전류를 방지함과 아울러, 상기 각 워드라인들(228)과 상기 각 스토리지 노드들(204a)이 중첩되는 면적을 극대화시킬 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 데이터 라인 및 스토리지 노드의 폭을 줄이지 않고 다층 터널접합층의 폭을 줄임으로써 스토리지 노드로부터 데이터라인을 향한 누설전류를 방지할 수 있다. 또한, 워드라인 및 스토리지 노드 사이의 중첩면적을 극대화시킬 수 있다. 이에 따라, 대기모드에서 데이터유지특성(retention characteristic)을 향상시킬 수 있고, 읽기전압을 감소시킬 수 있으므로 고성능 반도체 기억소자를 구현하는 것이 가능하다.

(57) 청구의 범위

청구항 1

반도체 기판의 소정영역에 배치되고 서로 평행한 제1 및 제2 도전 영역들;

상기 제1 및 제2 도전 영역들 사이의 채널영역 상에 차례로 적층된 스토리지 노드 및 다층 터널접합층 패턴(multiple tunnel junction layer pattern);

상기 다층 터널접합층 패턴 상에 배치되고 상기 제1 및 제2 도전 영역들과 나란한 데이터 라인; 및

상기 데이터 라인 상부를 가로지르고 상기 다층 터널접합층 패턴의 양측벽을 및 상기 스토리지 노드의 양측벽들을 덮는 워드라인을 포함하되, 상기 워드라인과 평행한 절단면으로부터 보여질 때, 상기 다층 터널접합층 패턴의 폭은 상기 데이터 라인의 폭 및 상기 스토리지 노드의 폭보다 좁은 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1 항에 있어서,

상기 스토리지 노드 및 상기 채널영역 사이에 개재된 게이트 절연막을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1 항에 있어서,

상기 다층 터널접합층 패턴은,

반갈아가며 반복적으로 적층된 반도체막 패턴 및 터널 절연막 패턴으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 4

제3 항에 있어서,

상기 반도체막 패턴은 실리콘보다 열산화물 및 식각율이 빠른 반도체로 이루어진 것을 특징으로 하는 반도체 기억장치.

청구항 5

제1 항에 있어서,

상기 워드라인 및 상기 데이터 라인 사이에 개재된 캐핑절연막 패턴을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제1 항에 있어서,

상기 워드라인과 상기 다층 터널접합층 패턴 사이 및 상기 워드라인과 상기 스토리지 노드 사이에 개재된 게이트 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 7

반도체기판에 배치된 복수개의 평행한 도전 영역들;

상기 도전 영역들 사이의 상기 반도체기판 상에 배치된 복수개의 스토리지 노드들;

상기 도전 영역들과 평행한 선 상에 배치된 상기 스토리지 노드들 사이의 상기 반도체기판에 형성된 트랜치 영역들;

상기 스토리지 노드들 상에 적층된 복수개의 다층 터널접합층 패턴들;

상기 트랜치 영역들을 채우는 소자분리막들;

상기 다층 터널접합층 패턴들 및 그들 사이의 상기 소자분리막들을 덮고 상기 도전 영역들 사이에 배치된 복수개의 데이터 라인들; 및

상기 데이터 라인들의 상부를 가로지르는 복수개의 평행한 워드라인들을 포함하되, 상기 워드라인들과 평행한 단면으로부터 보여질 때, 상기 다층 터널접합층 패턴들은 상기 데이터 라인의 폭 및 상기 스토리지 노드들의 폭보다 좁고, 상기 워드라인들은 상기 스토리지 노드들의 측벽을 및 상기 다층 터널접합층 패턴들의 측벽들을 덮는 것을 특징으로 하는 반도체 기억소자.

청구항 8

제7 항에 있어서,

상기 각 스토리지 노드 및 상기 반도체 기판 사이에 개재된 게이트 절연막을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 9

제7 항에 있어서,

상기 다층 터널접합층 패턴들은,

반갈아가며 반복적으로 적층된 반도체막 패턴 및 터널절연막 패턴으로 구성된 것을 특징으로 하는 반도체 기억장치.

청구항 10

제9 항에 있어서,

상기 반도체막 패턴을 이루는 물질은 실리콘보다 열산화물 및 식각율이 빠른 반도체인 것을 특징으로 하

는 반도체 기억장치.

청구항 11

제7 항에 있어서,

상기 각 워드라인 및 상기 각 데이터 라인 사이에 개재된 캐핑절연막 패턴을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 12

제7 항에 있어서,

상기 각 워드라인과 상기 각 다층 터널접합층 패턴 사이 및 상기 각 워드라인과 상기 각 스토리지 노드 사이에 개재된 게이트 층간절연막을 더 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 13

반도체기판의 소정영역들에 행 방향 및 열 방향을 따라 2차원적으로 배열된 복수개의 트렌치 영역들을 형성하여 메쉬 형태의 활성영역을 한정함과 동시에 상기 메쉬 형태의 활성영역 상에 차례로 적층된 게이트 절연막, 스토리지 노드막 및 다층 터널접합층을 형성하되, 상기 다층 터널접합층은 반도체막 및 터널절연막을 번갈아가며 반복적으로 적층하여 형성하고, 상기 반도체막은 상기 스토리지 노드막보다 빠른 식각률 또는 높은 열산화율을 갖는 물질로 형성하는 단계;

상기 트렌치 영역들을 채우는 복수개의 섬 형태의(island-shaped) 소자분리막 패턴들을 형성하는 단계;

상기 소자분리막 패턴들이 형성된 결과물 전면 상에 배선막을 형성하는 단계;

상기 배선막, 상기 다층 터널접합층, 상기 스토리지 노드막 및 상기 게이트 절연막을 연속적으로 패터닝하여 상기 열 방향과 평행한 복수개의 데이터 라인들을 형성함과 동시에, 상기 각 데이터 라인을 하부에 위치한 상기 소자분리막 사이의 영역을 내에 차례로 적층된 게이트 절연막 패턴, 스토리지 노드 패턴 및 다층 터널접합층 패턴을 형성하되, 워드라인과 평행한 단면으로 보며질 때, 상기 다층 터널접합층 패턴의 폭은 상기 스토리지 노드 패턴의 폭 및 상기 워드라인의 폭보다 좁게 형성하는 단계;

상기 스토리지 노드 패턴들을 갖는 결과물의 전면 상에 콘포말한 게이트 층간절연막을 형성하는 단계; 및

상기 게이트 층간절연막 상에 상기 데이터 라인들의 상부를 가로지르는 복수개의 평행한 워드라인들을 형성하는 단계를 포함하는 반도체 기억소자의 제조방법.

청구항 14

제 13 항에 있어서,

상기 스토리지 노드막은 실리콘막으로 형성하고, 상기 반도체막은 실리콘 게르마늄막(SiGe)으로 형성하는 것을 특징으로 하는 반도체 기억소자의 제조방법.

청구항 15

제13 항에 있어서,

차례로 적층된 상기 게이트 절연막, 상기 스토리지 노드막 및 상기 다층 터널접합층 상에 상부 도전막을 더 포함하여 메쉬형태의 활성영역을 한정하되, 상기 상부 도전막은 상기 데이터라인을 형성할 때 패터닝되어 상기 다층 터널접합층 패턴 상에 상부 도전막 패턴을 형성하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 16

제15 항에 있어서,

상기 상부 도전막은 실리콘막으로 형성하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 17

제13 항에 있어서,

상기 다층 터널접합층의 최하부층 및 최상부층은 반도체층으로 형성하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 18

제13 항에 있어서,

상기 스토리지 노드들을 형성한 후,

상기 데이터 라인들 사이의 활성영역 내에 불순물을 주입하여 상기 데이터 라인과 평행한 복수개의 나란한 도전성 영역들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 19

제13 항에 있어서,

상기 게이트 절연막 패턴, 상기 스토리지 노드 패턴 및 상기 다층 터널접합층 패턴을 형성한 후,

상기 스토리지 노드 패턴, 상기 다층 터널접합층 패턴 및 상기 데이터 라인의 측벽에 열산화막을 형성하

는 단계;및

상기 열산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 20

제13 항에 있어서,

상기 배선막을 형성한 후,

상기 배선막 상에 캐핑절연막을 형성하는 단계를 더 포함하되, 상기 캐핑절연막은 상기 배선막을 패터닝하기 전에 패터닝되어, 상기 데이터 라인을 각각의 상부에 캐핑절연막 패턴을 형성하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 21

제13 항에 있어서,

상기 게이트 층간절연막 및 상기 워드라인을 형성하는 단계는,

상기 스토리지 노드 패턴들을 갖는 결과물 전면에 게이트 층간절연막 및 식각저지막을 형성하는 단계;

상기 결과물 전면에 층간절연막을 형성하는 단계;

상기 소자분리막 패턴들 사이의 영역을 상부를 덮는 상기 층간절연막을 행 방향으로 나란히 패터닝하여 상기 스토리지 노드 패턴, 상기 다층 터널접합층 패턴 및 상기 데이터 라인의 측벽을 덮는 상기 식각저지막이 노출된 그루브들을 형성하는 단계;

상기 노출된 식각저지막을 제거하는 단계;및

상기 그루브들 내에 도전막을 채워 워드라인을 형성하는 단계를 포함하는 반도체 기억소자의 제조방법.

청구항 22

제13 항에 있어서,

상기 게이트 층간절연막 및 워드라인을 형성하는 단계는,

상기 스토리지 노드 패턴들을 갖는 결과물 전면에 층간절연막을 형성하는 단계;

상기 층간절연막을 패터닝하여 상기 소자분리막 패턴들 사이의 상기 스토리지 노드 패턴, 상기 다층 터널접합층 패턴 및 상기 데이터 라인의 측벽을 노출시켜 행 방향으로 나란한 그루브들을 형성하는 단계;

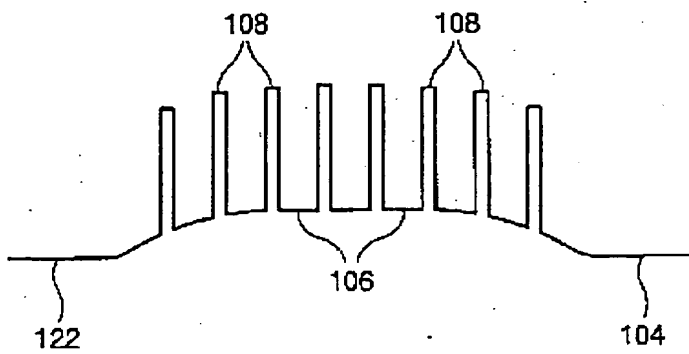
상기 그루브가 형성된 결과물에 열처리 공정을 적용하여 노출된 상기 스토리지 노드 패턴, 상기 다층 터널접합층 패턴 및 상기 데이터 라인의 측벽에 열산화막을 형성하는 단계;및

상기 그루브들 내에 도전막을 채워 워드라인을 형성하는 단계를 포함하는 반도체 기억소자의 제조방법.

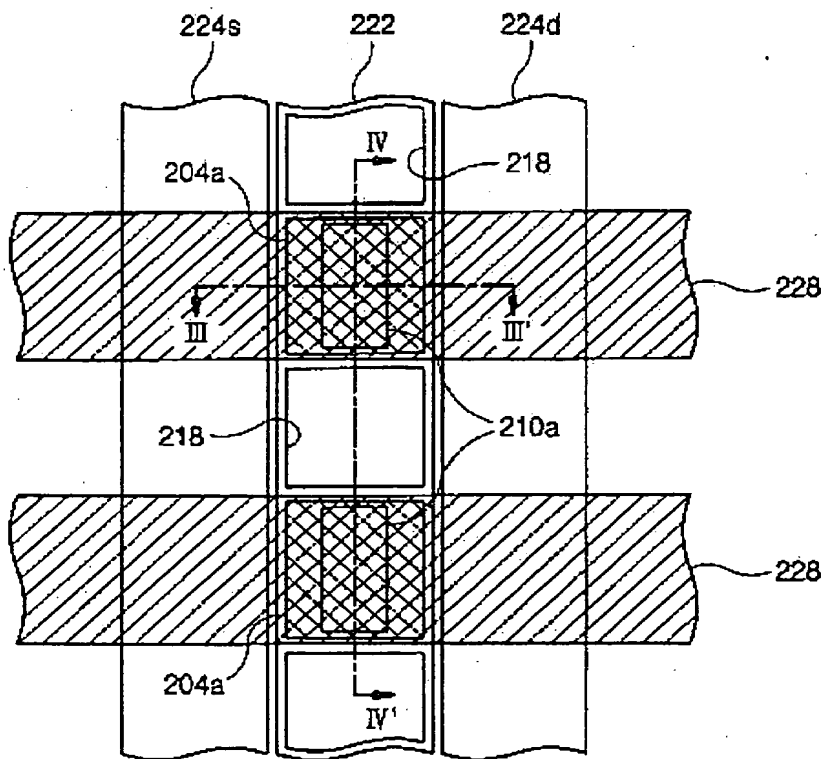
도면

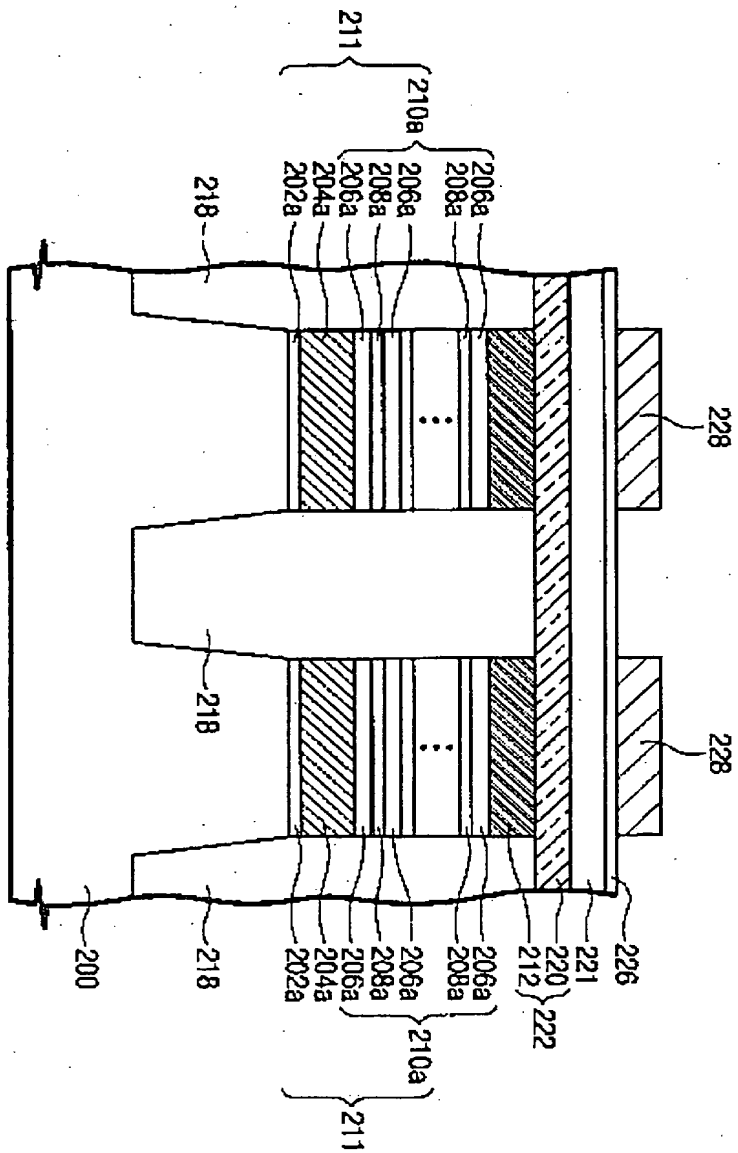
도면2b

(종래 기술)

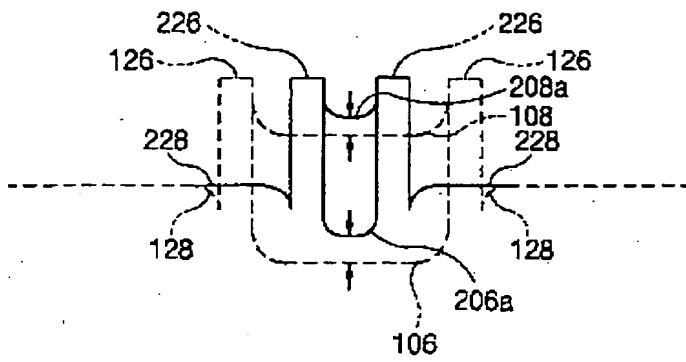


도면3

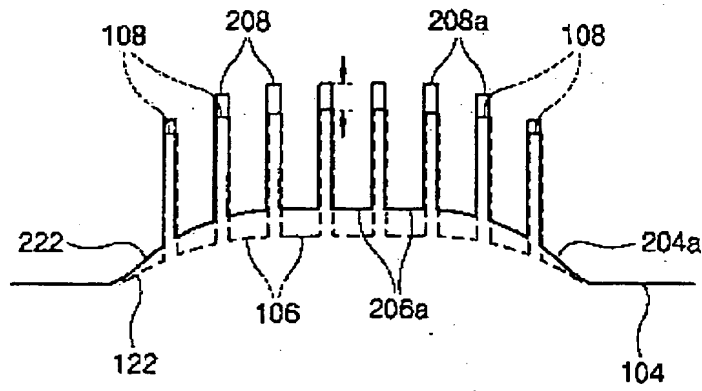




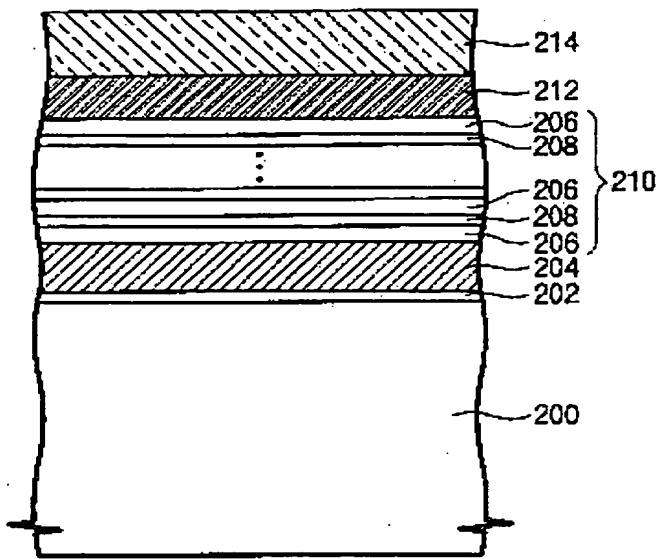
도 5a



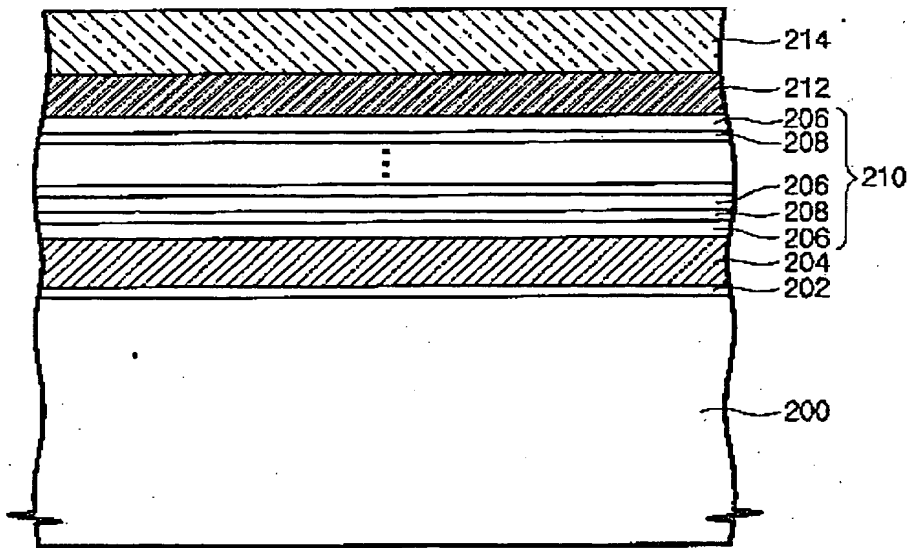
도 5b



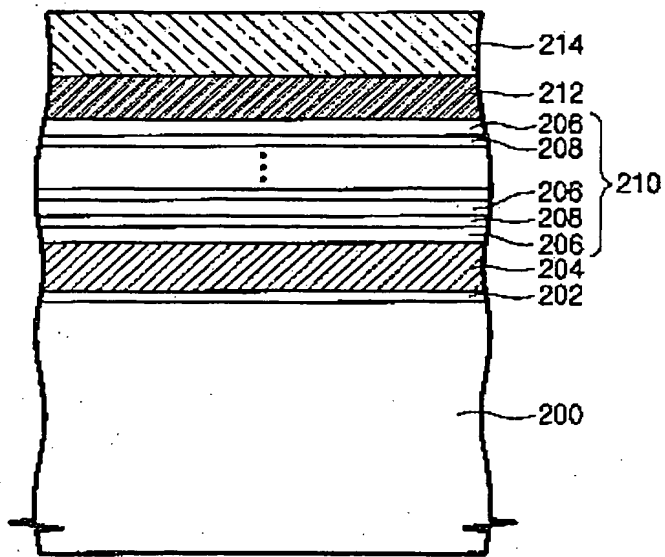
도 6a



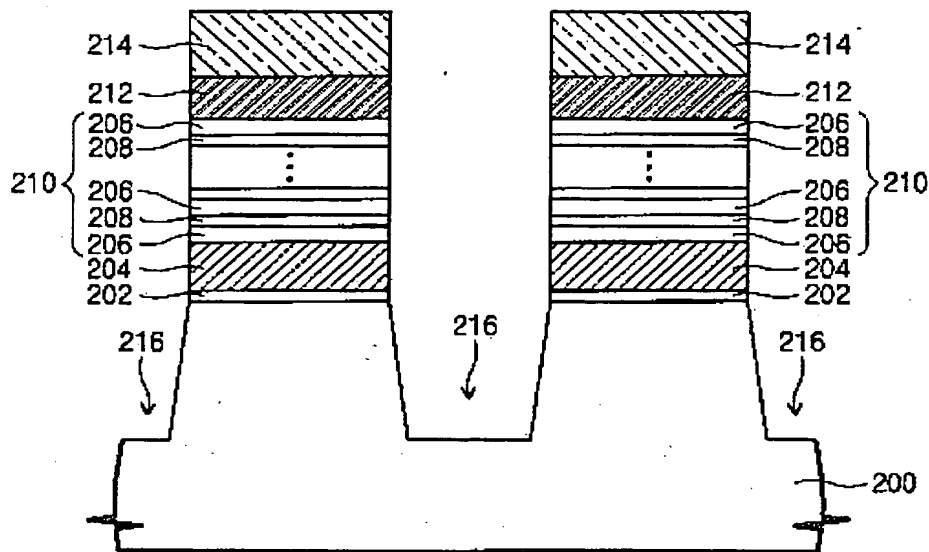
도 6b



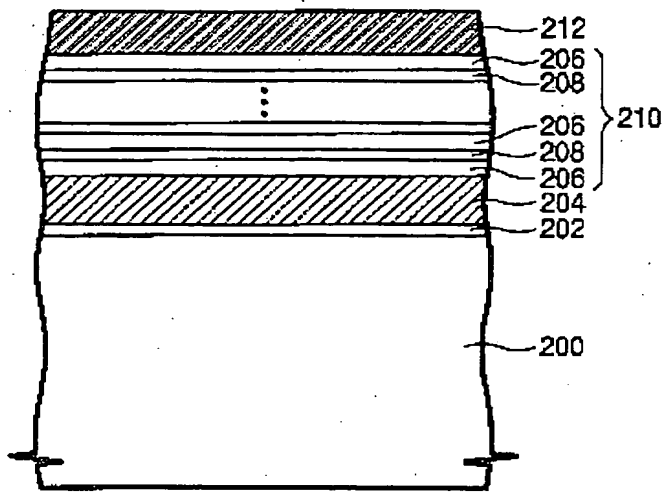
도 7a

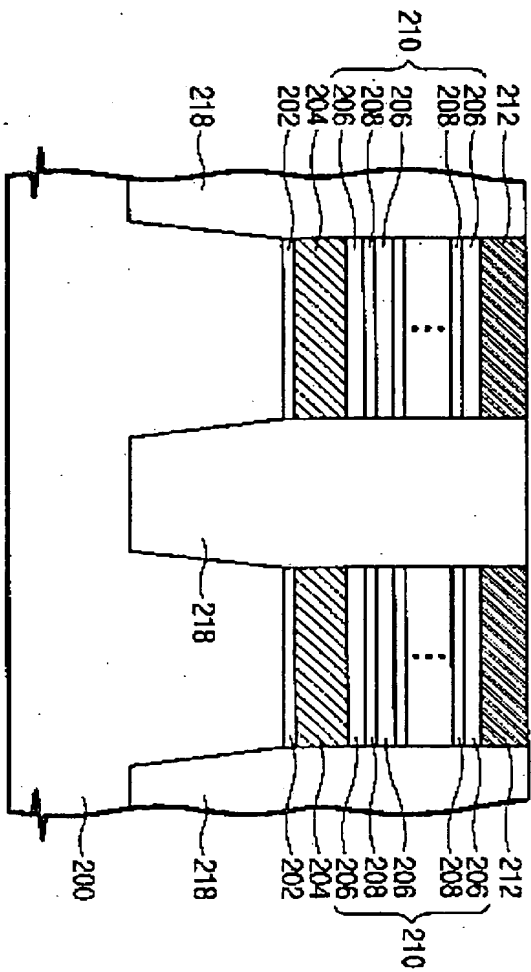


도 7b



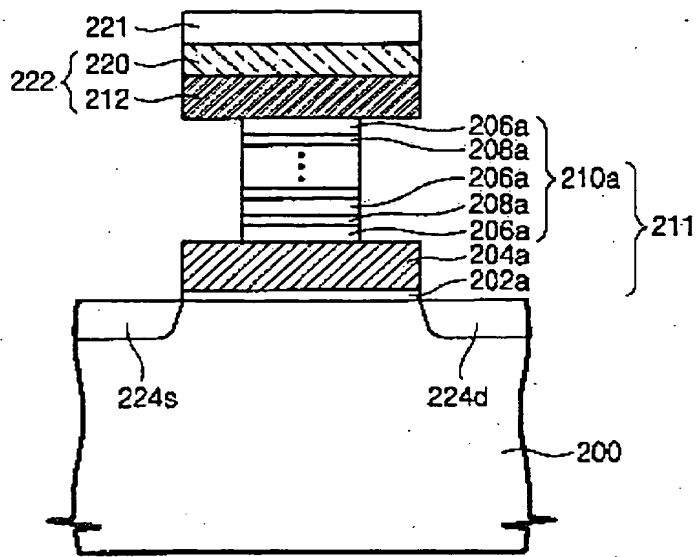
도 18a



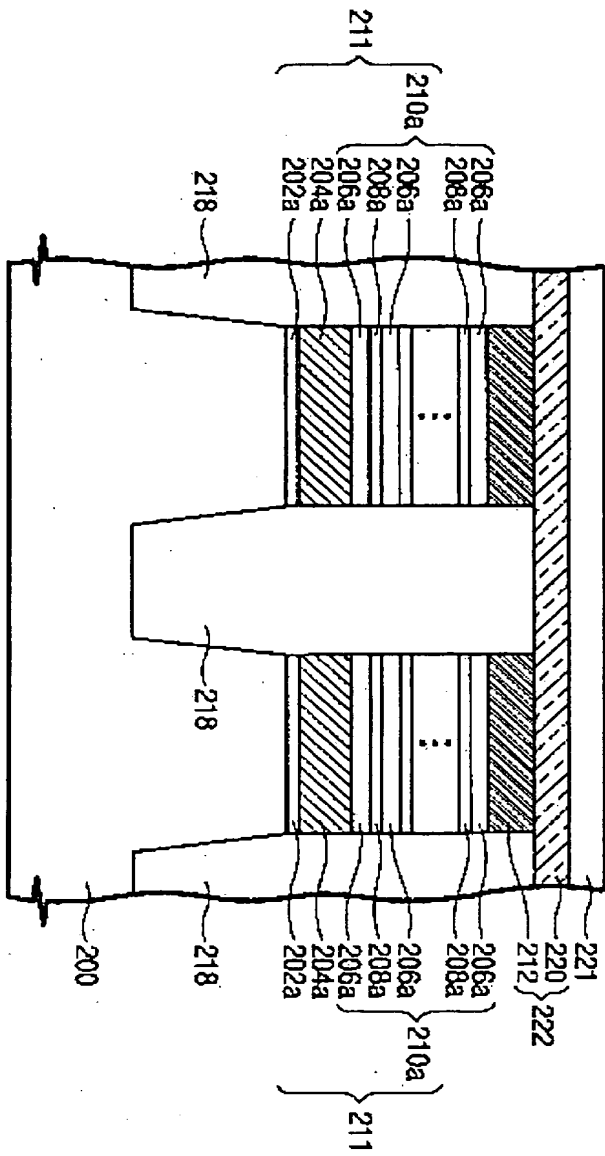


2003-0029203

도 19a



24-20



도면 10a

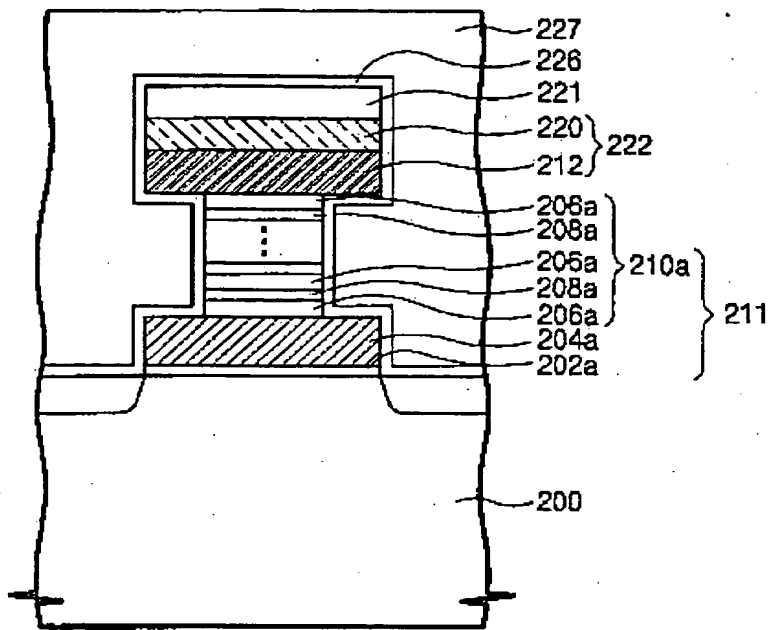
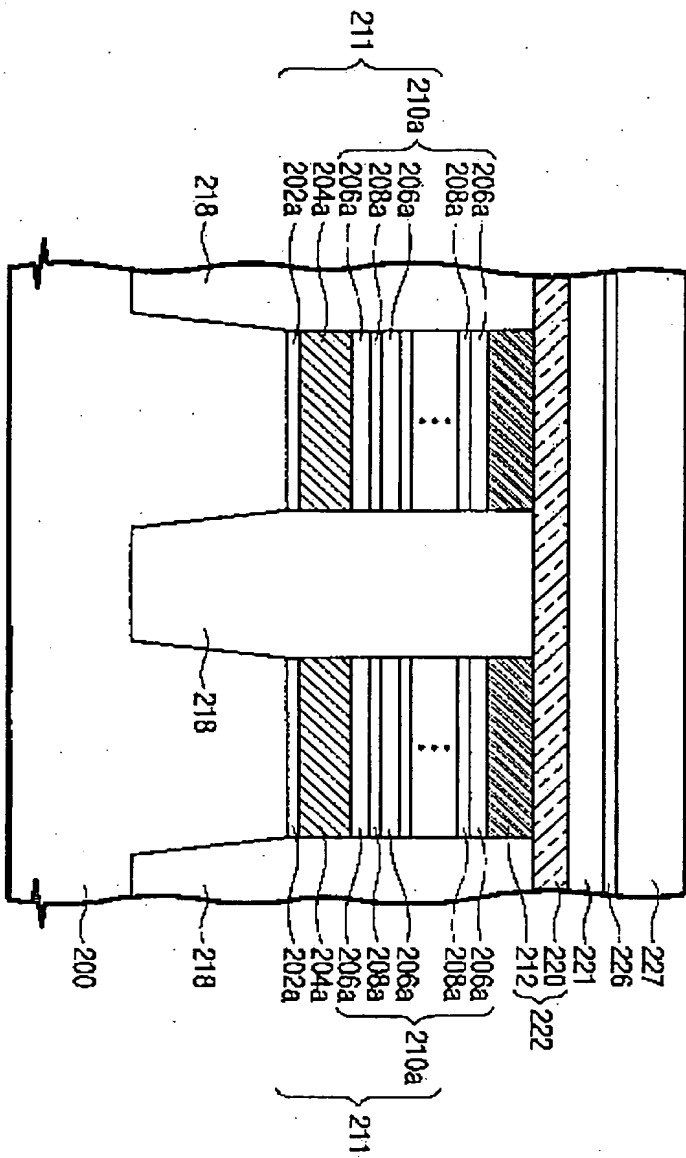
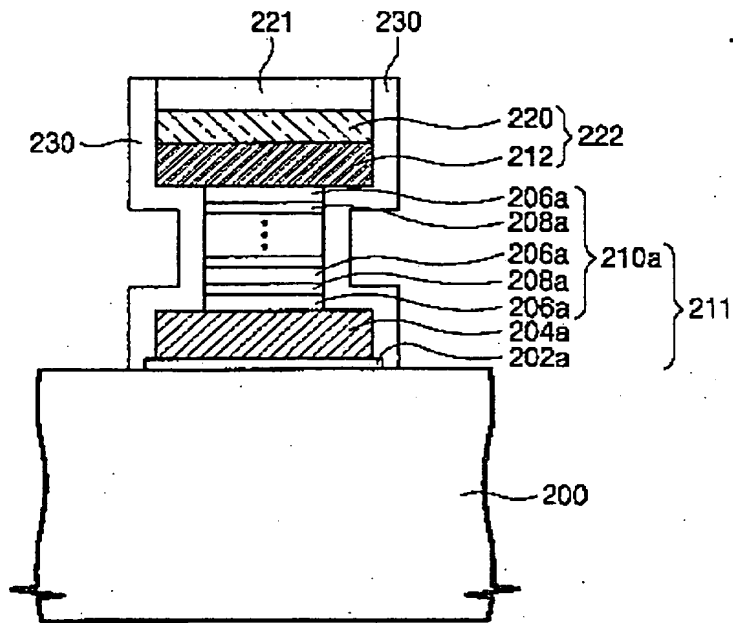


图 10b



도 11a



도 11b

